

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

015710429 **Image available**

WPI Acc No: 2003-772629/200373

XRAM Acc No: C03-212942

XRPX Acc No: N03-619103

Semiconductor integrated circuit for OLED display, e.g. in notebook computer, has analog switching units for selectively connecting m-signal lines to i-piece current sources consisting of transistors

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2003255880	A	20030910	JP 200259903	A	20020306	200373 B

Priority Applications (No Type Date): JP 200259903 A 20020306

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 2003255880	A	19	G09G-003/20
---------------	---	----	-------------

Abstract (Basic): JP 2003255880 A

NOVELTY - A semiconductor integrated circuit has m-signal lines that are selectively connected to i-piece current sources (C(i) - C(i+5)) comprising polysilicon thin-film transistors (Tr(1) - Tr(i+5)), through n-piece analog switching units (S(m) - S(m+5)).

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (1) a light emitting device;
- (2) driving of a semiconductor integrated circuit; and
- (3) driving of a signal-line driving circuit.

USE - Used as a semiconductor integrated circuit used as a signal-line driving circuit of an active-matrix type light emitting device (claimed), especially an OLED display in a notebook personal computer or PDA, and a mobile telephone.

ADVANTAGE - The influence of variation in the transistor property

in the current-source circuit is suppressed.

DESCRIPTION OF DRAWING(S) - The figure shows the structure of the semiconductor integrated circuit. (Drawing includes non-English language text).

C(i+5)) i-piece current sources (C(i)

S(m+5)) n-piece analog switching units (S(m)

Tr(i+5)) polysilicon thin-film transistors (Tr(1)

pp: 19 DwgNo 2/15

Title Terms: SEMICONDUCTOR; INTEGRATE; CIRCUIT; DISPLAY; COMPUTER; ANALOGUE; SWITCH; UNIT; SELECT; CONNECT; SIGNAL; LINE; PIECE; CURRENT; SOURCE; CONSIST; TRANSISTOR

Derwent Class: L03; P85; T01; T04; U12; U14; W01

International Patent Class (Main): G09G-003/20

International Patent Class (Additional): G09G-003/30; H01L-021/822; H01L-027/04; H03K-017/00; H04N-005/66; H05B-033/14

File Segment: CPI; EPI; EngPI

DIALOG(R)File 345:Inpadoc/Fam. & Legal Stat

(c) 2003 EPO. All rts. reserv.

19278120

Basic Patent (No,Kind,Date): JP 2003255880 A2 20030910 <No. of Patents: 002>

(English)

IPC: *G09G-003/20; G09G-003/30; H01L-021/822; H01L-027/04; H03K-017/00; H04N-005/66; H05B-033/14

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
CN 1443002	A	20030917	CN 2003119938	A	20030306
JP 2003255880	A2	20030910	JP 200259903	A	20020306 (BASIC)

Priority Data (No,Kind,Date):

JP 200259903 A 20020306

(51) Int. Cl.	識別記号	F I	マークド (参考)
G09G 3/20	611	G09G 3/20	611 H 3K007
	623		623 B 5C058
			623 G 5C080
			623 H 5F038
	642		642 A 5J055

審査請求 未請求 請求項の数18 ○ L (全19頁) 最終頁に続く

(21)出願番号 特願2002-59903(P2002-59903)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(22)出願日 平成14年3月6日(2002.3.6)

(72)発明者 木村 肇

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

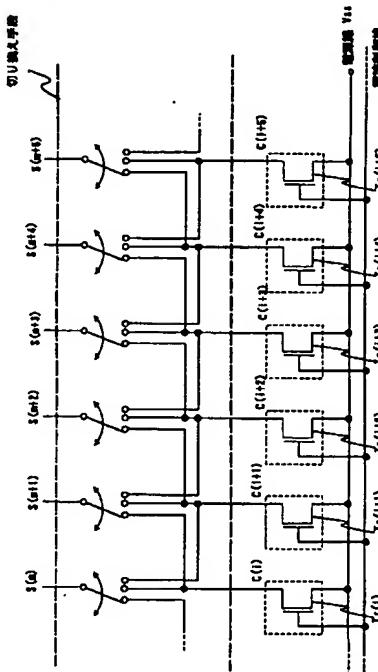
最終頁に続く

(54)【発明の名称】半導体集積回路およびその駆動方法

(57)【要約】

【課題】トランジスタは、作製工程や使用する基板の相違によって生じるゲート長、ゲート幅及びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度にバラツキが生じてしまう。その結果、トランジスタの特性バラツキの影響によって画素に供給する電流値にバラツキが生じ、表示画面にスジが生じてしまう。

【解決手段】信号線駆動回路を構成する電流源回路におけるトランジスタの特性の影響を抑制し、トランジスタの特性に左右されない、表示にバラツキがなくきれいな発光装置を提供する。本発明の信号線駆動回路を用いることで、表示のスジや輝度ムラを防ぐことができる。また、本発明は画素部と駆動回路部との素子をポリシリコンで形成することができ、同一基板上に一体形成することができる。こうして、小型化、低消費電量化が可能な表示装置及びそれを用いた電子機器を提供することができる。



【特許請求の範囲】

【請求項1】m本の信号線S₁、S₂、…、S_nと、i個の電流源C₁、C₂、…、C_iとを有する電流源回路と、

n個の切り換えユニットU₁、U₂、…、U_nを含む切り換え手段とを有する半導体集積回路であって、前記m本の信号線のいずれか一つは、前記n個の切り換えユニットのいずれか一つを介して、前記i個の電流源のいずれかと接続され、

前記n個の切り換えユニットは前記接続された電流源のうち一つを選択する機能を有することを特徴とする半導体集積回路。

【請求項2】m本の信号線S₁、S₂、…、S_nと、i個の電流源C₁、C₂、…、C_iとを有する電流源回路と、

n個の切り換えユニットU₁、U₂、…、U_nを含む切り換え手段とを有する半導体集積回路であって、前記n個の切り換えユニットはそれぞれ前記i個の電流源のうちj個の電流源と接続され、

M番目の前記信号線S_nはN番目の前記切り換えユニットU_nと接続され、前記切り換えユニットU_nは関数F_n

(x) (k=1～j、x=1～n)を満たすF_n(N)番目の電流源、F₁(N)番目の電流源、F₂(N)番目の電流源、…、F_j(N)番目の電流源と接続され、

前記切り換えユニットは前記接続された電流源のうち一つを選択する機能を有することを特徴とする半導体集積回路。

【請求項3】m本の信号線S₁、S₂、…、S_nと、i個の電流源C₁、C₂、…、C_iとを有する電流源回路と、

n個の切り換えユニットU₁、U₂、…、U_nを含む切り換え手段とを有する半導体集積回路であって、前記n個の切り換えユニットはそれぞれ前記i個の電流源のうちj個の電流源と接続され、

M番目の前記信号線S_nはN番目の前記切り換えユニットU_nと接続され、前記切り換えユニットU_nは関数F_n

(x) (k=1～j、x=1～n)を満たすF_n(N)番目の電流源、F₁(N)番目の電流源、F₂(N)番目の電流源、…、F_j(N)番目の電流源と接続され、

(M-1)番目の前記信号線S_{n-1}は(N-1)番目の前記切り換えユニットU_{n-1}と接続され、前記切り換えユニットU_{n-1}は前記関数を満たすF_{n-1}(N-1)番目の電流源、F₁(N-1)番目の電流源、F₂(N-1)番目の電流源、…、F_j(N-1)番目の電流源と接続され、

前記切り換えユニットは前記接続された電流源のうち一つを選択する機能を有することを特徴とする半導体集積回路。

【請求項4】請求項1乃至3のいずれか一において、前記半導体集積回路は第1のラッチ回路と、前記第1のラッチ回路に接続された第2のラッチ回路と、前記第2のラッチ回路に接続されたシフトレジスタとを有することを特徴とする半導体集積回路。

【請求項5】請求項2乃至4のいずれか一において、i=3であるとき、前記電流源はF₁(N)=N+a、F₂(N)=N+b、F₃(N)=N+c、(但しa、b、cは整数でありかつa≠b≠c)を満たすように設定されることを特徴とする半導体集積回路。

【請求項6】請求項6において、a=-1、b=0、c=1を満たすことを特徴とする半導体集積回路。

【請求項7】請求項2乃至4のいずれか一において、i=5であるとき、前記電流源はF₁(N)=N+a、F₂(N)=N+b、F₃(N)=N+c、F₄(N)=N+d、F₅(N)=N+e、(但しa、b、c、d、eは整数でありかつa≠b≠c≠d≠e)を満たすように設定されることを特徴とする半導体集積回路。

【請求項8】請求項7において、a=-2、b=-1、c=0、d=1、e=2を満たすことを特徴とする半導体集積回路。

【請求項9】請求項1乃至8のいずれか一において、前記電流源はトランジスタを有することを特徴とする半導体集積回路。

【請求項10】請求項1乃至9のいずれか一において、前記トランジスタはポリシリコン薄膜トランジスタからなることを特徴とする半導体集積回路。

【請求項11】請求項1乃至10のいずれか一において、前記電流源は複数のトランジスタを有し、前記複数のトランジスタのゲート長と前記複数のトランジスタのゲート幅との比は全て等しくなるように設けられることを特徴とする半導体集積回路。

【請求項12】請求項1乃至11のいずれか一において、前記切り換えユニットはアナログスイッチで構成されることを特徴とする半導体集積回路。

【請求項13】請求項1乃至12のいずれか一に記載の半導体集積回路を備えたことを特徴とする発光装置。

【請求項14】m本の信号線S₁、S₂、…、S_nと、

i個の電流源C₁、C₂、…、C_iとを有する電流源回路と、

n個の切り換えユニットU₁、U₂、…、U_nを含む切り換え手段とを有し、前記m本の信号線のいずれか一つは、前記n個の切り換えユニットのいずれか一つを介して、前記i個の電流源のいずれかと接続される半導体集積回路の駆動方法であって、

前記切り換えユニットは一定期間毎に、前記接続される電流源の選択を切り換えることを特徴とする半導体集積回路の駆動方法。

【請求項15】m本の信号線S₁、S₂、…、S_mと、

i個の電流源C₁、C₂、…、C_iとを有する電流源回路と、

n個の切り換えユニットU₁、U₂、…、U_nを含む切り換え手段と、

第1のラッチ回路と、前記第1のラッチ回路に接続された第2のラッチ回路と、前記第2のラッチ回路に接続されたシフトレジスタと、を有し、

前記m本の信号線のいずれか一つは、前記n個の切り換えユニットのいずれか一つを介して、前記i個の電流源のいずれかと接続される半導体集積回路の駆動方法であつて、

前記切り換えユニットは一定期間毎に、前記接続される電流源の選択を切り換え、

前記第1のラッチ回路、前記第2のラッチ回路及び前記シフトレジスタからの信号により前記選択された電流源からの前記信号線への電流入力を制御することを特徴とする半導体集積回路の駆動方法。

【請求項16】請求項14または15において、前記信号線へ入力されるビデオ信号の同期タイミングに対応する単位フレーム期間内に前記一定期間があることを特徴とする半導体集積回路の駆動方法。

【請求項17】請求項16において、

前記単位フレーム期間はm(mは2以上の自然数)個のサブフレーム期間S_{F1}、S_{F2}、…、S_{Fm}を有し、前記m個のサブフレーム期間S_{F1}、S_{F2}、…、S_{Fm}は、それぞれ書き込み期間T_{a1}、T_{a2}、…、T_{am}と表示期間T_{s1}、T_{s2}、…、T_{sm}とを有し、

前記表示期間内に前記一定期間が設けられることを特徴とする半導体集積回路の駆動方法。

【請求項18】請求項14乃至17のいずれか一に記載の駆動方法を用いたことを特徴とする信号線駆動回路の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路及びその駆動方法の技術に関する。また、本発明の半導体集積回路を備えた駆動回路部と画素部を備えた発光装置に関する。特に、本発明の半導体集積回路を駆動回路部の信号線駆動回路に適応した、マトリクス状に複数の画素が配置され、各画素にスイッチング素子及び発光素子が配置されたアクティブマトリクス型の発光装置に関する。

【0002】

【従来の技術】近年、発光装置として、自発光素子である発光素子を用いた発光装置の研究開発が進められている。これらの発光装置は、高画質、薄型、軽量などの利点を生かして、携帯電話の表示画面やパソコンを使用するときの発光装置として幅広く利用されている。特に発

光素子を用いた発光装置は動画表示に適した速い応答速度、低電圧、低消費電力駆動などの特徴を有しているため、新世代の携帯電話や携帯情報端末(PDA)をはじめ、幅広い用途が見込まれ、次世代ディスプレイとして大きく注目されている。

【0003】発光素子の一つとして有機発光ダイオード(Organic Light Emitting Diode:OLED)があり、陽極と、陰極と、前記陽極と前記陰極との間に有機化合物層が挟まれた構造を有している。この有機化合物層は通常、積層構造であり、代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。

【0004】発光素子を発光させるときには、発光素子を駆動する半導体素子は、オン電流が大きいポリシリコン(多結晶シリコン)により形成される。そして発光素子を駆動する半導体素子として、ポリシリコンで形成されたポリシリコントランジスタが用いられる。この発光素子に流れる電流と、発光素子の輝度は正比例の関係にあり、発光素子は有機化合物層に流れる電流に応じた輝度で発光を行う。

【0005】ところで、発光素子を用いた発光装置に多階調の画像を表示するときの駆動方法としては、アナログ階調方式(アナログ駆動方式)とデジタル階調方式(デジタル駆動方式)が挙げられる。両方式の相違点は、発光素子の発光、非発光のそれぞれの状態において該発光素子を制御する方法にある。前者のアナログ階調方式は、発光素子に流れる電流をアナログ的に制御して階調を得るという方式である。また後者のデジタル階調方式は、発光素子がオン状態(輝度がほぼ100%である状態)と、オフ状態(輝度がほぼ0%である状態)の2つの状態のみによって駆動するという方式である。

【0006】また発光素子を用いた発光装置に入力する信号の種類によって分類することができ、そのうちの1つとして、電流入力方式が提案されている。この電流入力方式は、発光素子を駆動するTFTの特性に左右されず、発光素子に流れる電流の大きさを制御することが可能であるとされている。

【0007】電流入力方式は、上述のアナログ階調方式及びデジタル階調方式の両方が適用される。電流入力方式は、画素に入力するビデオ信号が電流である方式であり、入力したビデオ信号(電流)に応じた電流を発光素子に流すことにより、発光素子の輝度を制御する方式である。

【0008】ここで発光装置において、電流入力方式を適用した画素の回路構成の一例とその駆動方法について、図14を用いて簡単に説明する。図14に示した画素は、信号線1401、第1～第3の走査線1402～1404、電源線1405、トランジスタ1406～1409、容量素子1410、発光素子1411を有する。電流源回路1412は、信号線に設けられている。

【0009】TFT1406のゲート電極は、第1の走査線1402に接続され、第1の電極は信号線1401に接続され、第2の電極は、TFT1407の第1の電極、TFT1408の第1の電極、およびTFT1409の第1の電極に接続されている。TFT1407のゲート電極は、第2の走査線1403に接続され、第2の電極はTFT1408のゲート電極に接続されている。TFT1408の第2の電極は、電流線1405に接続されている。TFT1409のゲート電極は、第3の走査線1404に接続され、第2の電極は発光素子1411の陰極には、それぞれ所定の電位が入力され、互いに電位差を有する。

【0010】次にビデオ信号の書き込みから発光までの動作について説明する。まず、第1の走査線1402および第2の走査線1403にパルスが入力され、トランジスタ1406、1407がオンする。このとき、信号線1401を流れる信号電流を I_{sig} とし、 I_{sig} は電流源回路1412から供給される。

【0011】トランジスタ1406がオンした瞬間に、まだ容量素子1410には電荷が保持されていないため、トランジスタ1408はオフしている。すなわちこの間は、容量素子1410における電荷の蓄積による電流のみが流れている。

【0012】その後、徐々に容量素子1410に電荷が蓄積され、両電極間に電位差が生じ始める。両電極の電位差がTFT1408のしきい値電圧 V_{th} となると、トランジスタ1408がオンして、電流が生ずる。このとき、容量素子1410に流れる電流は次第に減少するが、依然電流は流れしており、容量素子1410には電荷の蓄積が行われる。

【0013】容量素子1410においては、その両電極の電位差、つまりトランジスタ1408のゲート・ソース間電圧が所望の電圧、つまりトランジスタ1408が電流 I_{sig} を流すことが出来るだけの電圧(V_{cs})になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了すると、トランジスタ1408には、電流 I_{sig} が流れ続ける。以上で信号の書き込み動作が完了する。最後に第1の走査線1402および第2の走査線1403の選択が終了し、トランジスタ1406、1407がオフする。

【0014】続いて、発光動作に移る。第3の走査線1404にパルスが入力され、トランジスタ1409がオンする。容量素子1410には、先ほど書き込んだ V_{cs} が保持されているため、トランジスタ1408はオンしており、電源線1405から、電流が流れる。これにより発光素子1411が発光する。このとき、トランジスタ1408が饱和領域において動作するようにしておけ

10

20

30

40

40

50

ば、トランジスタ1408のソース・ドレイン間電圧が変化したとしても、発光素子1411に流れる発光電流 I_{el} は I_{sig} と変わりなく流れることが出来る。

【0015】上述したように電流入力方式とは、電流源回路1412で設定した値の信号電流と同じ、または比例した電流値のドレイン電流がトランジスタ1408のソース・ドレイン間に流れ、このドレイン電流に応じた輝度で発光素子1411が発光を行う方式をいう。上記のような画素を用いることにより、画素を構成するTFTの特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。また電流入力型の画素回路は他に、US6,229,506B1や特開2001-147659に報告されている。

【発明が解決しようとする課題】

【0016】電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかしながら、信号電流を画素に入力する役目を担う駆動回路(図14では電流源回路1412に相当する。)をポリシリコントランジスタで形成すると、結晶成長方向や結晶粒界における欠陥、積層された膜厚の不均一性や膜のバターニング精度に起因して、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまい、その結果、表示した画像にムラが生じてしまう。

【0017】つまり電流入力方式を適用した発光装置では、画素に信号電流を入力する駆動回路を構成するトランジスタの特性バラツキの影響を抑制する必要がある。すなわち画素及び駆動回路の両方を構成するの両方を構成するトランジスタの特性バラツキの影響を抑制する必要がある。すなわち、ポリシリコントランジスタはバラツキが大きいため、正確な信号電流を生成することが難しく、表示が縦スジだらけになってしまう。

【0018】本発明は上記の問題点を鑑みてなされたものである。そこで本発明は電流源回路の各電流源におけるトランジスタ特性のバラツキの影響を抑制し、トランジスタの特性に左右されない、半導体集積回路及び半導体集積回路の駆動方法を提供する。また、本発明の半導体集積回路を備えた駆動回路部と画素部を備えた発光装置を提供する。特に、本発明の半導体集積回路を駆動回路部の信号線駆動回路に適応した、マトリクス状に複数の画素が配置され、各画素にスイッチング素子及び発光素子が配置されたアクティブマトリクス型の発光装置を提供する。また、本発明は画素部と駆動回路部との素子をポリシリコン薄膜トランジスタで形成し、画素部と駆動回路部とが同一基板上に一体形成された発光装置を提供する。

【0019】なお、電流源回路は1以上の電流源からなり、電流源は1以上のトランジスタを有する。また、一定の電流を供給する電流源を定電流源と呼ぶこともある。

【0020】

【課題を解決するための手段】本発明の半導体集積回路は、信号線と、前記信号線へ入力される電流を出力する電流源回路と、前記信号線に接続される電流源回路を一定期間ごとに切り換える手段（以下、単に切り換え手段という。この切り換え手段はスイッチング機能を有する回路を複数有して構成しているため、切り換え回路ともいう。）と、を有することを特徴とする。

【0021】本発明の切り換え手段により、電流源回路から出力される電流がばらついていても、信号線に接続される電流源回路が切り換わり、それにともない信号線へ入力される電流が一定期間ごとに切り換わるため、発光素子に流れる電流、つまり輝度が時間的に均一化されたように見え、表示ムラを解消することができ、トランジスタの特性のバラツキに左右されない発光装置を提供できる。

【発明の実施の形態】（実施の形態）

【0022】本発明の半導体集積回路である信号線駆動回路の概略について図6を用いて説明する。図6ではわかりやすくするために、電流源回路のうち3つの電流源C(i)、C(i+1)、C(i+2)と画素へ電流を供給する信号線S(m)に着目して説明する。電流源C(i)、C(i+1)、C(i+2)と信号線S(m)とは切り換え手段を介して接続される。この切り換え手段により3つの電流源C(i)～C(i+2)から供給される電流I(i)～I(i+2)を一定期間毎に切り換えて、信号線S(m)へ入力することを特徴とする。

【0023】次に切り換え手段について説明する。図7には切り換え手段の構成が記載されている。電流源C(i)、C(i+1)、C(i+2)はそれぞれ電流I(i)、I(i+1)、I(i+2)が流れる特性を有している。そして電流源C(i)、C(i+1)、C(i+2)は、スイッチを介して信号線S(m)に接続できるように設けられている。スイッチには信号が入力され、この信号に応じて、スイッチは信号線S(m)が電流源C(i)、C(i+1)、C(i+2)のいずれかと接続するように切り換わる機能を有する。

【0024】このスイッチが電流源C(i)に接続されると、信号線S(m)へ電流I(i)が流れる。またスイッチが電流源C(i+1)に接続されると、信号線S(m)へ電流I(i+1)が流れる。そしてスイッチが電流源C(i+2)に接続されると、信号線S(m)へ電流I(i+2)が流れる。すなわち、信号線S(m)へ流れる電流は、I(i)、I(i+1)、I(i+2)が切り換わり流れるのである。

【0025】図6及び図7で説明した例は、わかりやすくするために信号線1つに着目しているが、実際の信号線は以下の実施例に示すように複数設けられる。図7の切り換え手段のスイッチは端子を有するように記載されるが、実際は以下の実施例に示すようにアナログスイッチ

等の回路によりスイッチング機能を持たせる。

【0026】本発明は、この一定期間内において切り換わる期間が非常に短いため、電流源の特性のちがい、つまり電流源から供給される電流がばらついても、人間の目には表示が均一化してみえる。

【0027】よって、本発明は上記のような切り換え手段により、トランジスタの特性に左右されない電流源回路を備えた半導体集積回路を得ることができる。そして、所望の信号電流を発光素子に供給することができ、表示にバラツキのない発光装置を提供する。

【0028】また、関数をもちいて本発明を一般化すると、m本の信号線S₁、S₂、…、S_nと、i個の電流源C₁、C₂、…、C_iとを有する電流源回路と、n個の切り換えユニットU₁、U₂、…、U_nを含む切り換え手段とを有する半導体集積回路であって、前記n個の切り換えユニットはそれぞれ前記i個の電流源のうちj個の電流源と接続され、M番目の前記信号線S₁はN番目の前記切り換えユニットU₁と接続され、前記切り換えユニットU₁は関数F₁(x) (k=1～j、x=1～n)を満たすF₁(N)番目の電流源、F₂(N)番目の電流源、F₃(N)番目の電流源、…、F_j(N)番目の電流源と接続される構成を特徴とする。

【0029】また本発明は、m本の信号線S₁、S₂、…、S_nと、i個の電流源C₁、C₂、…、C_iとを有する電流源回路と、n個の切り換えユニットU₁、U₂、…、U_nを含む切り換え手段とを有する半導体集積回路であって、前記n個の切り換えユニットはそれぞれ前記i個の電流源のうちj個の電流源と接続され、M番目の前記信号線S₁はN番目の前記切り換えユニットU₁と接続され、前記切り換えユニットU₁は関数F₁(x) (k=1～j、x=1～n)を満たすF₁(N)番目の電流源、F₂(N)番目の電流源、F₃(N)番目の電流源、…、F_j(N)番目の電流源と接続され、(M-1)番目の前記信号線S_{M-1}は(N-1)番目の前記切り換えユニットU_{M-1}と接続され、前記切り換えユニットU_{M-1}は前記関数を満たすF_{M-1}(N-1)番目の電流源、F_M(N-1)番目の電流源、…、F_j(N-1)番目の電流源と接続される構成を特徴とする。

【0030】また本発明は、隣り合う切り換えユニットにおいて電流源を共有できる。これを上記関数を用いて表すと、例えばi=3を満たすとき、電流源はF₃(N)=F₂(N+1)=F₁(N+2)である。すなわち隣り合う切り換えユニットのN番目、N+1番目、N+2番目において電流源を共有することができる。別の例としてi=5を満たすとき、電流源はF₅(N)=F₄(N+1)=F₃(N+2)=F₄(N+3)=F₅(N+4)であり、隣り合う切り換えユニットのN番目、N+1番目、N+2番目、N+3番目、N+4番目において電流源を共有することができる。

【0031】このように、本発明は各切り換えユニットにおいて電流源を共有することができるため、ある信号線と隣接する信号線とで境界が生じず、すべての信号線が同じように平均化される。結果、表示画面のいずれの部分においても境界が生じず、表示のスジや輝度ムラのない発光装置を提供できる。

【0032】なお、本発明は半導体集積回路に用いられる素子の特性のバラツキを解決するものであり、ポリシリコントランジスタ以外の素子であっても、素子特性のバラツキを制御することが望まれる素子、例えば単結晶シリコントランジスタであっても同様の効果を得られる。

【実施例】(実施例1)

【0033】本実施例では、本発明の半導体集積回路を駆動回路部の信号線駆動回路に適応し、信号線駆動回路に具備される電流源回路の構成及び駆動方法について、具体的に説明する。

【0034】本発明の具体例を図1に示す。本実施例は電流源がNチャネル型のトランジスタから構成される例で説明する。また、トランジスタの極性はnチャネル型、pチャネル型どちらでもよく、一般的に画素の極性により決定される。つまり、画素から電流源回路の方へ電流が流れる場合の極性はN型、電流源回路から画素の方へ流れる場合の極性はP型、が望ましい。なぜなら、トランジスタのソース電位が固定されている方が便利だからである。

【0035】図1をみると、電流源C(i)～C(i+5)を構成するトランジスタTr(i)～Tr(i+5)と、切り換え手段と、信号線S(m)～S(m+5)と、を有する。トランジスタTr(i)～Tr(i+5)のゲート電極は電流制御線へ接続され、Nチャネル型であるのでソース電極がVsに接続されている。

この電流制御線に加える電圧により電流値を制御する。

【0036】ここでは簡単のため、Tr(i)～Tr(i+5)のゲート電極には同じ電流制御線が接続されているが、トランジスタごとに電流制御線を設け、電流制御線の電圧を変え、トランジスタごとに電流値を変えてもよい。但しこの場合は、各トランジスタの電流の出力先が切り換わるので、それにあわせて各電流制御線に加える電圧も切り換えておく必要がある。

【0037】このときトランジスタTr(i)～Tr(i+5)の特性が揃っていれば電流I(i)～I(i+5)の値は等しい。しかし実際は、トランジスタTr(i)～Tr(i+5)の特性のバラツキは大きく、電流I(i)～I(i+5)の値もばらついてしまう。しかし本発明の切り換え手段により、信号線へ入力される電流I(i)～I(i+5)を一定期間ごとに選択し切り換えることができる。そのため、発光素子に流れる電流も、一定期間ごとに切り換わることになる。結果として、人間の目には時間的に均一化された発光を見ること

となり輝度ムラは減少する。

【0038】次に図2にアナログスイッチ(またはトランジスターゲートともいう)を備えた切り換え手段の構成を示す。なお、図2において、図1と同じ部分は同じ符号を用いて示す。トランジスタ線Tr(i)～Tr(i+5)のドレイン電極は信号線S(m)～S(m+5)と接続する。ただし、1つの信号線は3つの電流源と接続することができるようになっている。つまりスイッチング機能により3つの電流源のいずれかを選択することができる。

【0039】例えば、スイッチング機能に端子1を選択する信号が入力されると、信号線S(m+1)は電流源C(i)と接続され、信号線S(m+2)は電流源C(i+1)と接続され、以下同様に信号線と電流源とが接続される。次にスイッチング機能に端子2を選択する信号が入力されると、信号線S(m+1)は電流源C(i+1)と接続され、信号線S(m+2)は電流源C(i+2)と接続され、以下同様に信号線と電流源とが接続される。その次に、スイッチング機能に端子3を選択する信号が入力されると、信号線S(m+1)は電流源C(i+2)と接続され、信号線S(m+2)は電流源C(i+3)と接続され、以下同様に信号線と電流源とが接続される。

【0040】この接続を上記本発明の接続を一般化するため関数を用いて表すと、i=3であるとき、前記電流源はF1(N)=N+a、F2(N)=N+b、F3(N)=N+c、(但しa、b、cは整数でありかつa≠b≠c)を満たすように設定され、a=-1、b=0、c=1であると表すことができる。

【0041】上記したように、1つの信号線に3つの電流源からの電流が切り換わることで、表示のバラツキを抑えることができる。

【0042】図3には、スイッチング機能を有する切り換え手段にアナログスイッチを用いた具体的な例を説明する。なお、図3において、図2と同じ部分は同じ符号を用いて示しており、電流源C(i)～C(i+5)はトランジスタTr(i)～Tr(i+5)を有している。

【0043】図3に示すA(1)～A(1+2)、A(1)b～A(1+2)bは配線であり、複数のアナログスイッチと接続される。これらのアナログスイッチは1つの信号線に接続される群(これを切り換えユニットといふ)を形成している。図3をみるとアナログスイッチを3つ有する切り換えユニットU(n)～U(n+5)は、それぞれ信号線S(m)～S(m+5)に接続される。この切り換えユニットが複数集まり切り換え手段を構成している。

【0044】ここで電流源C(i+1)をみると、トランジスタTr(i+1)のドレイン電極は切り換えユニットU(n+1)の1つのアナログスイッチと、切り換

えユニットU (n) の1つのアナログスイッチと、切り換えるユニットU (n+2) の1つのアナログスイッチと、に接続される。すなわちトランジスタのドレイン電極は3つ切り換えるユニットの1つのアナログスイッチと接続される。同様に電流源C (i)、C (i+2)、C (i+3)、C (i+4)、C (i+5) もそれぞれのアナログスイッチに接続される。

【0045】そして配線A (1) とA (1) b とに信号が入力されると、接続されるアナログスイッチが選択され導通状態となる。そして、該選択されたアナログスイッチと接続する電流源C (i+1) から信号線S (m+2) へ電流が流れる。同様に各電流源C (i+1)、C (i+3)、C (i+4)、C (i+5)、C (i+6) からそれぞれ信号線S (m)、S (m+2)、S (m+3)、S (m+4)、S (m+5) へ電流が流れ。これを選択 (1) と記す。

【0046】次に配線A (1+1) とA (1+1) b とに信号が入力されると、接続されるアナログスイッチが選択され導通状態となる。そして、該選択されたアナログスイッチと接続する電流源C (i+1) から信号線S (m+1) へ電流が流れる。同様に各電流源C (i+1)、C (i+3)、C (i+4)、C (i+5)、C (i+6) からそれぞれ信号線S (m+1)、S (m+3)、S (m+4)、S (m+5)、S (m+6) へ電流が流れ。また、電流源C (i+6) は記載されないが、電流源C (i+5) の右隣の電流源である。これを選択 (2) と記す。

【0047】次に配線A (1+2) とA (1+2) b とに信号が入力されると、接続されるアナログスイッチが選択され導通状態となる。そして、該選択されたアナログスイッチと接続する電流源C (i+1) から信号線S (m) へ電流が流れる。同様に各電流源C (i+1)、C (i+3)、C (i+4)、C (i+5)、C (i+6) からそれぞれ信号線S (m-1)、S (m+1)、S (m+2)、S (m+3)、S (m+4) へ電流が流れ。また、信号線S (m-1) は記載されないが、信号線S (m) の左隣の信号線である。これを選択 (3) と記す。

【0048】この選択 (1) ~選択 (3) を一定期間ごとで繰り返すことにより、電流源 (i) ~電流源 (i+5) から信号線S (m) ~S (m+5) に入力される電流がばらついていても、表示は均一化してみえる。

【0049】ここで本発明の信号線駆動回路の切り換える期間について、図4のタイミングチャートを示して説明する。図4のF 1 ~ F 3 はフレーム期間であり、発光装置が1画像を表示する期間を示すものである。なお1フレーム期間は、通常、人間の目がちらつきを感じない様に、1/60秒程度に設定されている。またA (1) ~A (1+2) 及びA (1) b ~A (1+2) b は、配線A (1) ~A (1+2) 及び配線A (1) b ~A (1+2) b 10

+2) b に入力される信号の電位を示す。

【0050】第1のフレーム期間F 1 に設けられるA (1) に入力される信号の電位がHigh (H) で、かつA (1) b に入力される信号の電位がLow (L) である切り換える期間では、配線A (1) 及びA (1) b に接続されるアナログスイッチが導通状態となり、該導通されたアナログスイッチと接続するトランジスタからの電流が信号線へ入力される。そのため、導通状態となるアナログスイッチは各切り換えるユニットに1つだけである。

【0051】第2のフレーム期間F 2 に設けられるA (1+1) に入力される信号の電位がHigh (H) で、かつA (1+1) b に入力される信号の電位がLow (L) である切り換える期間では、配線A (1+1) 及びA (1+1) b に接続されるアナログスイッチが導通状態となり、該導通されたアナログスイッチと接続するトランジスタからの電流が信号線へ入力される。

【0052】第3のフレーム期間F 3 に設けられるA (1+2) に入力される信号の電位がHigh (H) で、かつA (1+2) b に入力される信号の電位がLow (L) である切り換える期間では、配線A (1+2) 及びA (1+2) b に接続されるアナログスイッチが導通状態となり、該導通されたアナログスイッチと接続するトランジスタからの電流が信号線へ入力される。

【0053】このフレーム期間F 1 ~ F 3 を繰り返すことにより、切り換える手段は信号線S (m) ~S (m+5) に流れる電流を順に切り換えることができる。

【0054】本実施例では、N型トランジスタを有する電流源に接続される電源線をVss として、電流が画素からVss へ流れる構成を説明したが、上述したように画素の極性によってトランジスタの極性を設定すればよい。従って、画素へ電流が流れる構成の場合は、電源線をVdd とし、電流源のトランジスタをP型の導電型とすればよい。

【0055】次に、電流源にDA変換機能を持たせた場合について説明する。例えば3ビットのデジタルビデオ信号に対して、8階調のアナログ値を持つ電流を出力する場合で説明する。

【0056】図5は、上記のような電流源回路の具体的な回路構成を示している。図5に示すように、電流源はそれぞれ3つのトランジスタTr1 (i)、Tr2 (i)、Tr3 (i) を有している。そして3つのトランジスタTr1 (i)、Tr2 (i)、Tr3 (i) のW (ゲート幅) / L (ゲート長) は=1:2:4としておけば、同じゲート電圧が加わっている場合、トランジスタTr1 (i)、Tr2 (i)、Tr3 (i) を流れる電流は1:2:4となる。つまり電流源から供給される電流は1:2:4となり、 $2^3 = 8$ 段階で電流の大きさを制御することができる。そうすると電流源回路は、3ビットのデジタルビデオ信号に対して、8階調のアナ

ログ値を持つ電流を出力することが出来る。

【0057】なお、トランジスタTr1(i)、Tr2(i)、Tr3(i)のうちのどれがオン状態になり、どれがオフ状態になるかは各ゲートに加える電圧を制御すればよい。それにより、電流源C(i)～C(i+5)が outputする電流値を制御することができる。ただし、切り換え手段により、電流源C(i)～C(i+5)の電流がそれぞれ、S(m)～S(m+5)のどれに入力されるかはかわってくる。従ってそれにあわせて、電流源C(i)～C(i+5)のトランジスタTr1(i)、Tr2(i)、Tr3(i)に加える電圧も切り換えておく必要がある。

【0058】このように電流源にDA変換機能を持たせることにより、高精度な階調表示を行うことができる。また、ビット数は実施者が適宜設定すれば良く、そのビット数に応じてトランジスタを設計すればよい。

【0059】上述した本発明の信号線駆動回路を用いた発光装置では、画素の表示ムラが視覚的に低減された、均一で表示ムラのない表示を提供する発光装置を得ることができる。外付け回路を用いて信号線に入力する場合においても、本発明を外付け回路に適用することにより、均一で表示ムラのない画素を提供することができる。

【0060】また、信号線駆動回路の半導体素子をポリシリコントランジスタで形成する場合、画素部の半導体素子にポリシリコントランジスタをもちいることができるため、同一基板上に画素部と信号線駆動回路を備えた周辺回路部とを一体形成することができ、小型化・軽量化を達成できる。更に同一基板上に画素部と周辺回路部とを一体形成することにより外付け回路を付ける必要がない。よって、信号線と外付け回路とを接続時の、複雑な工程や不良を省き、信頼性が向上される。

【0061】(実施例2)

【0062】なお、本発明の信号線と電流源との接続は、1つの信号線に対して電流源が2つ以上であれば、電流源(電流源の列)の数は非対称であっても、電流源(電流源の列番号)が非対称の位置にあってもよく、信号線へ流れる電流を切り換えることにより、表示が均一化したようにみえる。本実施例では、切り換え手段の切り換えユニットと、信号線と、電流源との接続構成を例示する。

【0063】図8には、電流源C(i)～C(i+5)と信号線S(m)～S(m+5)とが切り換え手段を介して接続される。この切り換え手段は電流源からの電流を切り換える機能を持っていればよく、図の煩雑さを避けるため、この切り換える機能を模式的に表す3つの端子とスイッチング機能を有する構成で記載する。

【0064】例えば信号線S(m+2)をみると、電流源C(i+2)、C(i+3)、C(i+4)のいずれかと接続することができる。つまり信号線は最も近い電

流源とその右隣2つの電流源とに接続することができる。同様な規則で、信号線S(m)、S(m+1)、S(m+3)、S(m+4)、S(m+5)と信号線とが接続される。

【0065】この接続を上記本発明の接続を一般化するため関数を用いて表すと、i=3であるとき、前記電流源はF1(N)=N+a、F2(N)=N+b、F3(N)=N+c、(但しa、b、cは整数でありかつa≠b≠c)を満たし、a=-2、b=-1、c=0を満たすと表すことができる。

【0066】また本発明の電流源と信号線との接続関係は、最も近い位置、すなわち列にある電流源と信号線とを接続する必要はなく、離れた位置にある電流源と信号線と接続する構成でも構わない。その例として、図9に示す接続構成を説明する。

【0067】図9には、電流源C(i)～C(i+6)と信号線S(m)～S(m+6)とが切り換え手段を介して接続される。この切り換え手段も同様に3つの端子とスイッチを有する構成で記載する。

【0068】例えば信号線S(m+2)をみると、電流源C(i)、C(i+2)、C(i+4)のいずれかと接続することができる。つまり信号線は最も近い電流源とその1つ間をあけた両隣の2つの電流源とに接続することができる。同様な規則で、信号線S(m)、S(m+1)、S(m+3)、S(m+4)、S(m+5)、S(m+6)と電流源とが接続される。

【0069】この接続を上記本発明の接続を一般化するため関数を用いて表すと、i=3であるとき、前記電流源はF1(N)=N+a、F2(N)=N+b、F3(N)=N+c、(但しa、b、cは整数でありかつa≠b≠c)を満たし、a=-2、b=0、c=-2を満たすと表すことができる。

【0070】また、本発明の電流源と信号線との接続関係は、信号線が接続する電流源は3つに限るものではない。図10には一つの切り換えユニットにおいて、電流源が5本接続される例を示す。

【0071】図10には、電流源C(i)～C(i+6)と信号線S(m)～S(m+6)とが切り換え手段を介して接続される。この切り換え手段における切り換えユニットも同様に5つの端子とスイッチを有する構成で記載する。

【0072】例えば信号線S(m+2)をみると、電流源C(i)、C(i+1)、C(i+2)、C(i+3)、C(i+4)のいずれかと接続することができる。つまり信号線は最も近い電流源と両隣の2本ずつの電流源とに接続することができる。同様な規則で、信号線S(m)、S(m+1)、S(m+3)、S(m+4)、S(m+5)と電流源とが接続される。

【0073】この接続を上記本発明の接続を一般化するため関数を用いて表すと、i=5であるとき、前記電流

源は $F_1(N) = N + a$ 、 $F_2(N) = N + b$ 、 $F_3(N) = N + c$ 、 $F_4(N) = N + d$ 、 $F_5(N) = N + e$ 、 (但し a 、 b 、 c 、 d 、 e は整数でありかつ $a \neq b \neq c \neq d \neq e$) を満たし、 $a = -2$ 、 $b = -1$ 、 $c = 0$ 、 $d = 1$ 、 $e = 2$ を満たすと表すことができる。

【0074】図10のように1つの信号線に対して接続できる電流源が多いほど、表示は均一化してみえ、バラツキを抑えることができる。

【0075】なお、本実施例は実施例1に記載したアナログスイッチを用いて電流源を切り換える方法とにより、信号線へ流れる電流を切り換えることができる。また、電流源にDA変換機能を持たせた場合も実施例1を参考にすればよい。

【0076】以上のように、本発明の信号線と電流源との接続は、1つの信号線に対して電流源が2つ以上であれば、非対称の数、非対称の位置にあってもよく、信号線へ流れる電流が切り換わればよい。

【0077】なお、本実施例は実施例1に記載の切り換え手段と組み合わせて用いることができる。

(実施例3)

【0078】本実施例では、1フレーム期間（入力されるビデオ信号の同期タイミングに対応する単位フレーム期間内）をサブフレーム期間毎に分割して階調を表示させる（時間階調駆動表示という）場合に、本発明を適応する例を示す。

【0079】まず時間階調駆動表示について説明する。デジタルのビデオ信号を用いた時間階調の駆動方法（デジタル駆動法）の場合、1フレーム期間中に書き込み期間 T_a と表示期間（点灯期間ともいう） T_s とが繰り返し出現することで、1つの画像を表示することが可能である。

【0080】例えば n ピットのビデオ信号によって画像を表示する場合、少なくとも n 個の書き込み期間と、 n 個の表示期間とが1フレーム期間内に設けられる。 n 個の書き込み期間と、 n 個の表示期間は、ビデオ信号の各ピットに対応している。

【0081】図11(A)に示すように書き込み期間 T_{am} (m は $1 \sim n$ の任意の数) の次には、同じピット数に対応する表示期間、この場合 T_{sm} が出現する。書き込み期間 T_a と表示期間 T_s とを合わせてサブフレーム期間 SF と呼ぶ。 m ピット目に対応している書き込み期間 T_{am} と表示期間 T_{sm} とを有するサブフレーム期間は SF_m となる。表示期間 $T_{s1} \sim T_{sn}$ の長さは、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0082】各サブフレーム期間において、発光素子を発光させるかさせないかを、デジタルのビデオ信号の各ピットによって選択される。そして、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調数を制御することができる。

【0083】なお、表示上での画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良い。具体的な分割の仕方については、特願2000-267164号において開示されているので、参照することができる。

【0084】本実施例は、このサブフレーム期間の表示期間において、電流源から信号線へ流れる電流を切り換えることが望ましい。書き込み期間で切り換えると、入力された電流、つまり発光素子を発光させるかさせないか上手く情報が伝わらない場合もあるからである。このような短い期間ごとに切り換えることにより、更に発光素子の輝度のバラツキが抑えられ、表示の均一性が向上する。

【0085】具体的に3ビットの場合を図11(B)に示す。図11(B)をみると1フレーム期間にサブフレーム期間、 SF_1 、 SF_2 、 SF_3 を有し、各サブフレーム SF_1 、 SF_2 、 SF_3 は、書き込み期間 T_{a1} 、 T_{a2} 、 T_{a3} と表示期間 T_{s1} 、 T_{s2} 、 T_{s3} 有している。そして、電流源を切り換える期間（以下、単に切り換え期間という。） $1 \sim 3$ が表示期間 $T_{s1} \sim T_{s3}$ に設けられている。この切り換え期間 $1 \sim 3$ に、信号線に入力される電流を切り換えることによって、短い期間ごとに切り換えることができ、表示がより均一化したよう見える。

【0086】図11(B)では切り換え期間 $1 \sim 3$ はいずれも書き込み期間の直前にあるように記載されているが、表示期間の間であれば、どこに切り換え期間を設けても良い。

【0087】図11(C)にアナログスイッチの入力する信号のタイミングチャートを示す。1フレーム目の SF_1 では A_1 がオン、 SF_2 では A_2 がオン、 SF_3 では A_3 がオンになっており、2フレーム目の SF_1 では A_2 がオン、 SF_2 では A_3 がオン、 SF_3 では A_1 がオンとなっている。図11(C)には記載しないが、同様に3フレーム目では、 SF_1 では A_3 、 SF_2 では A_1 、 SF_3 では A_2 がオンとなる。

【0088】サブフレーム期間 SF_1 から SF_3 において、 A_1 から A_3 のオン状態を固定（1フレーム目から3フレーム目の、 SF_1 では全部 A_1 がオン、 SF_2 では全部 A_2 がオン、 SF_3 では全部 A_3 がオン）してしまうと、バラツキの均一化が十分ではなくなる。そのため本実施例のように、サブフレーム期間ごとに切り換えて、かつフレーム期間毎にも切り換えることが望ましい。

【0089】本実施例は一例であり、どのサブフレーム期間にどの信号を入力するかは適宜設定すればよい。また、具体的な信号の入力方法は図4を参照すればよい。

【0090】階調表示を高くするために実施例1で説明したDA変換機能を有する電流源とあわせて用いることで、好ましく、本実施例は実施例1及び2に記載の発明と

組み合わせて用いることができる。

【0091】(実施例4) 本実施例では、本発明の発光装置の構成について図12を用いて説明する。

【0092】本発明の発光装置は、基板401上に、複数の画素がマトリクス状に配置された画素部402を有し、画素部402の周辺には、本発明の信号線駆動回路1203、第1の走査線駆動回路404及び第2の走査線駆動回路405を有する。図12(A)においては、信号線駆動回路1203と、2組の走査線駆動回路404、405を有しているが、本発明はこれに限定されず、画素の構成に応じて任意に設計することができる。また信号線駆動回路1203と、第1の走査線駆動回路404及び第2の走査線駆動回路405には、FPC406を介して外部より信号が供給される。

【0093】第1の走査線駆動回路404及び第2の走査線駆動回路405の構成について図12(B)を用いて説明する。第1の走査線駆動回路404及び第2の走査線駆動回路405は、シフトレジスタ407、バッファ408を有する。動作を簡単に説明すると、シフトレジスタ407は、クロック信号(G-CLK)、スタートパルス(S-SP)及びクロック反転信号(G-CLKb)に従って、順次サンプリングパルスを出力する。その後バッファ408で増幅されたサンプリングパルスは、走査線に入力されて1行ずつ選択状態にしていく。そして選択された走査線によって、制御される画素には、順に信号線から信号電流I_{data}が書き込まれる。

【0094】なおシフトレジスタ407と、バッファ408の間にはレベルシフタ回路を配置した構成にしてもよい。レベルシフタ回路を配置することによって、電圧振幅を大きくすることが出来る。

【0095】信号線駆動回路1203の構成については以下に後述する。また本実施例は、実施例1、2、3と任意に組み合わせることが可能である。

【0096】また、本発明の信号線駆動回路に設けられる電流源の配置は一直線になっていなくてもよい、信号線駆動回路内ですでに配置されていてもよい。さらに、信号線駆動回路が画素部と対称に2つ設けられていても良い。すなわち本発明は、切り替え手段を介して電流源と信号線と接続されればよく、電流源の配置には限定されない。

【0097】(実施例5) 本実施例では、図13(A)に示した信号線駆動回路1203の構成とその動作について説明する。本実施例では、1ビットのデジタル階調表示を行う場合に用いる信号線駆動回路1203について図13を用いて説明する。

【0098】図13(A)には、1ビットのデジタル階調表示を行う場合における信号線駆動回路1203の概略図を示す。信号線駆動回路1203は、シフトレジスタ1211、第1のラッチ回路1212、第2のラッチ回路1213、定電流回路1214を有する。このシフ

トレジスタ1211、第1のラッチ回路1212、第2のラッチ回路1213は図1で示したビデオ信号用スイッチとして機能する。

【0099】動作を簡単に説明するとシフトレジスタ1211は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(S-SP)、クロック反転信号(S-CLKb)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

10 【0100】シフトレジスタ1211より出力されたサンプリングパルスは、第1のラッチ回路1212に入力される。第1のラッチ回路1212には、デジタルビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

【0101】第1のラッチ回路1212において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路1213にラッチパルスが入力され、第1のラッチ回路1212に保持されていたビデオ

20 信号は、一斉に第2のラッチ回路1213に転送される。すると、第2のラッチ回路1213に保持されたビデオ信号は、1行分が同時にビデオ用スイッチへと入力されることになる。このビデオ用スイッチをオン・オフさせることにより、画素への信号を入力するか否かを制御し、階調を表現する。

【0102】第2のラッチ回路1213に保持されたビデオ信号が定電流回路1214に入力されている間、シフトレジスタ1211においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1フレーム

30 分のビデオ信号の処理を行う。

【0103】また定電流回路1214は、電流源回路を複数列用いて構成される。図13(B)には、シフトレジスタ1211、第1のラッチ回路1212、第2のラッチ回路1213の具体的な回路を示している。

【0104】また本実施例は、実施例1、2、3に記載の発明と任意に組み合わせることが可能である。

【0105】(実施例6)

【0106】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パソコンコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図15に

示す。

【0107】図15(A)は発光装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。また本発明により、図15(A)に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができます。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。

【0108】図15(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッターボタン2106等を含む。本発明の発光装置は表示部2102に用いることができる。また本発明により、図15(B)に示すデジタルスチルカメラが完成される。

【0109】図15(C)はノート型パソコンコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。また本発明により、図15(C)に示す発光装置が完成される。

【0110】図15(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。また本発明により、図15(D)に示すモバイルコンピュータが完成される。

【0111】図15(E)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図15(E)に示すDVD再生装置が完成される。

【0112】図15(F)はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。また本発明により、図15(F)に示すゴーグル型ディスプレイが完成される。

【0113】図15(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。また本発明により、図15(G)に示すビデオカメラが完成される。

【0114】ここで図15(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図15(H)に示す携帯電話が完成される。

【0115】なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0116】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示するが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0117】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0118】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施例1～実施例5に示したいずれの構成の信号線駆動回路を用いることができる。

【発明の効果】本発明により、電流源回路におけるトランジスタ特性のバラツキの影響を抑制し、トランジスタの特性に左右されない、半導体集積回路及び半導体集積回路の駆動方法を提供することができる。また、本発明の半導体集積回路を備えた駆動回路部と画素部を備えた発光装置を提供することができる。特に、本発明の半導体集積回路を駆動回路部の信号線駆動回路に適応した、マトリクス状に複数の画素が配置され、各画素にスイッチング素子及び発光素子が配置されたアクティブマトリクス型の発光装置を提供することができる。また、本発明は画素部と駆動回路部との素子をポリシリコン薄膜トランジスタで形成し、画素部と駆動回路部とが同一基板上に一体形成された発光装置を提供することができる。

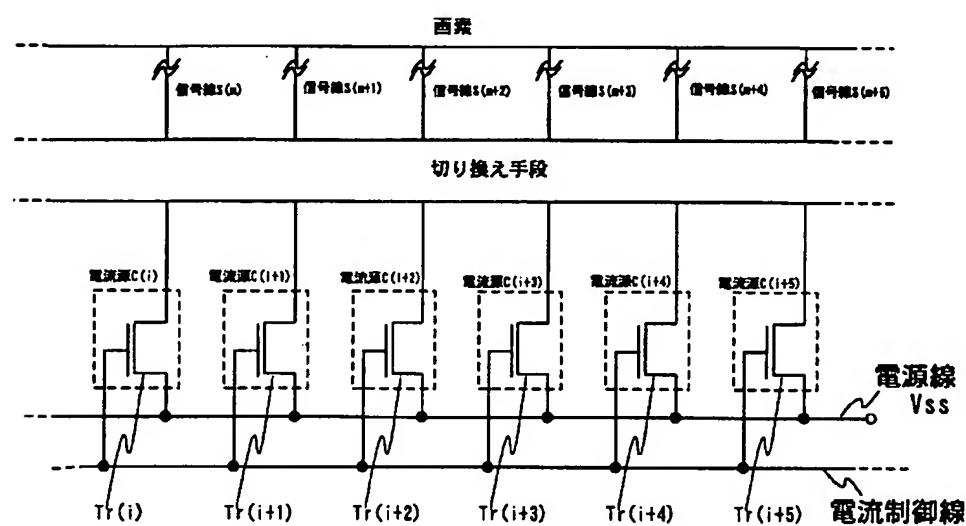
【0119】

【図面の簡単な説明】

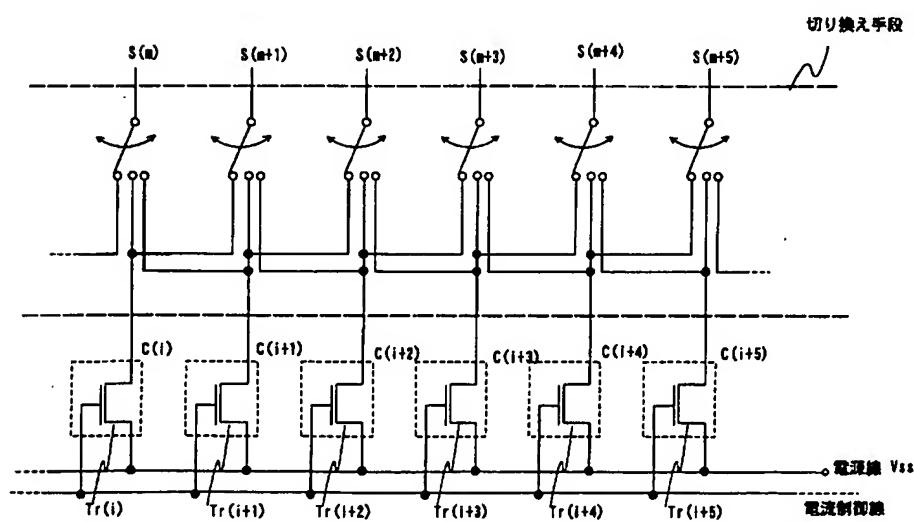
【図 1】 本発明の半導体集積回路の構成を示す図。
 【図 2】 本発明の半導体集積回路の構成を示す図。
 【図 3】 本発明の半導体集積回路の構成を示す図。
 【図 4】 本発明の信号線駆動方法のタイミングチャートを示す図。
 【図 5】 本発明の半導体集積回路の構成を示す図。
 【図 6】 本発明の半導体集積回路の構成を示す図。
 【図 7】 本発明の半導体集積回路の切り換え手段の構成を示す図。
 【図 8】 本発明の半導体集積回路の構成を示す図。 10

【図 9】 本発明の半導体集積回路の構成を示す図。
 【図 10】 本発明の半導体集積回路の構成を示す図。
 【図 11】 本発明の信号線駆動方法のタイミングチャートを示す図。
 【図 12】 本発明の発光装置の構造を示す図。
 【図 13】 本発明の半導体集積回路の構成を示す図。
 【図 14】 発光装置の画素の回路図。
 【図 15】 本発明の発光装置が適用される電子機器を示す図。

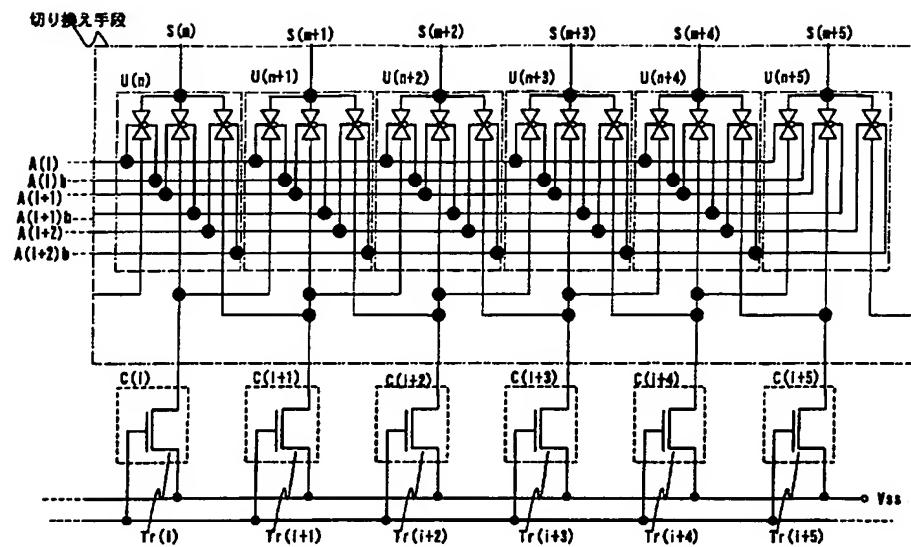
【図 1】



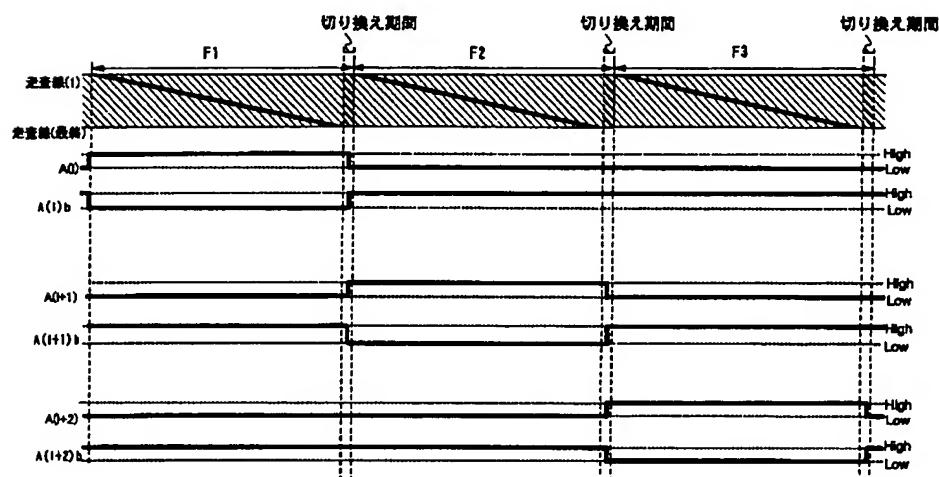
【図 2】



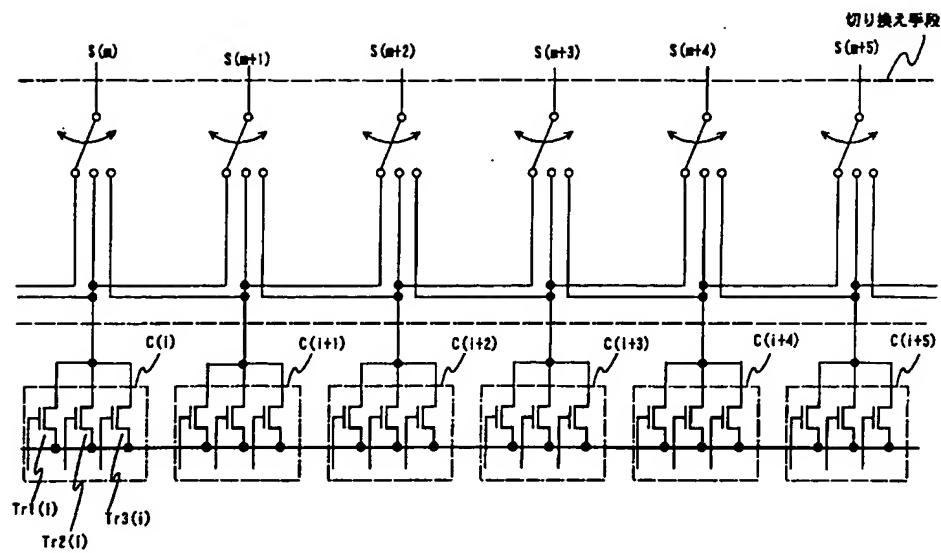
【図 3】



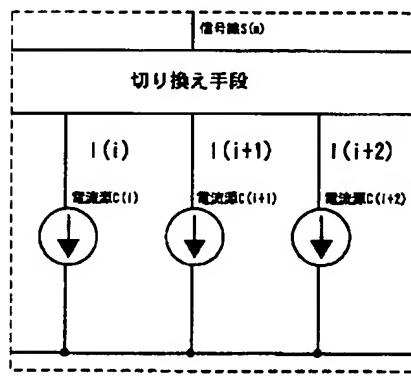
【図 4】



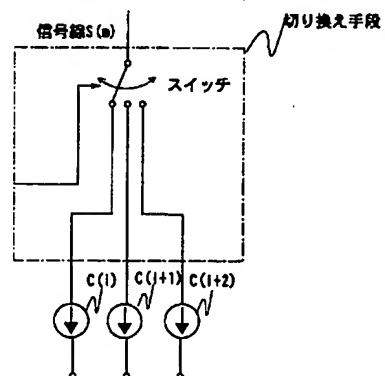
【図 5】



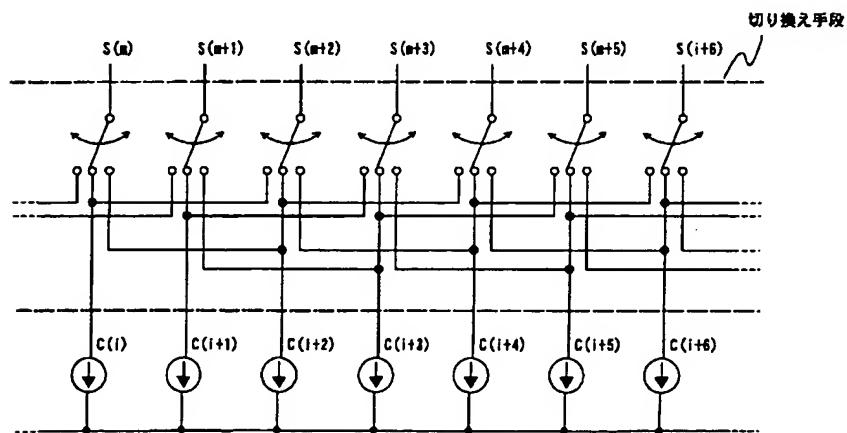
【図 6】



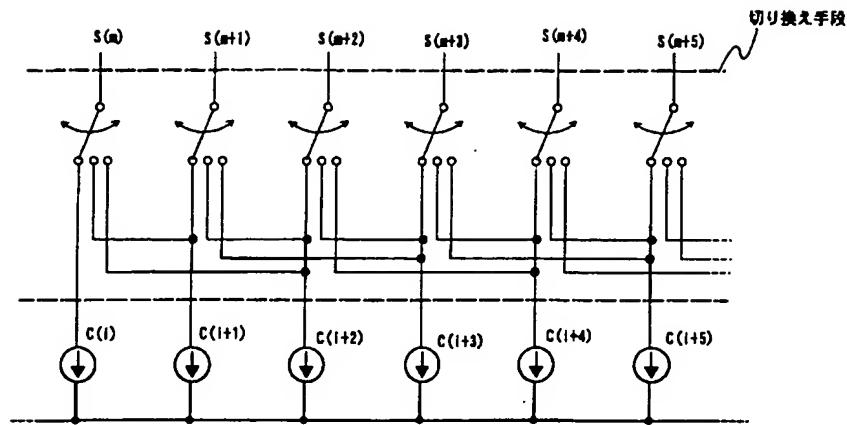
【図 7】



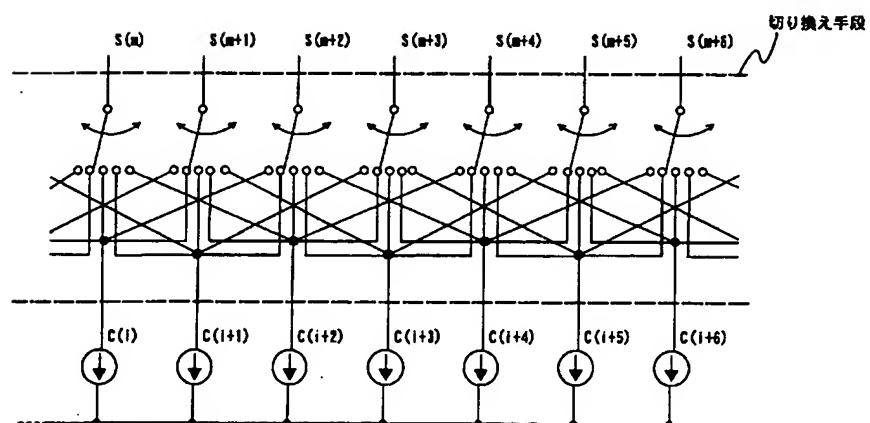
【図 9】



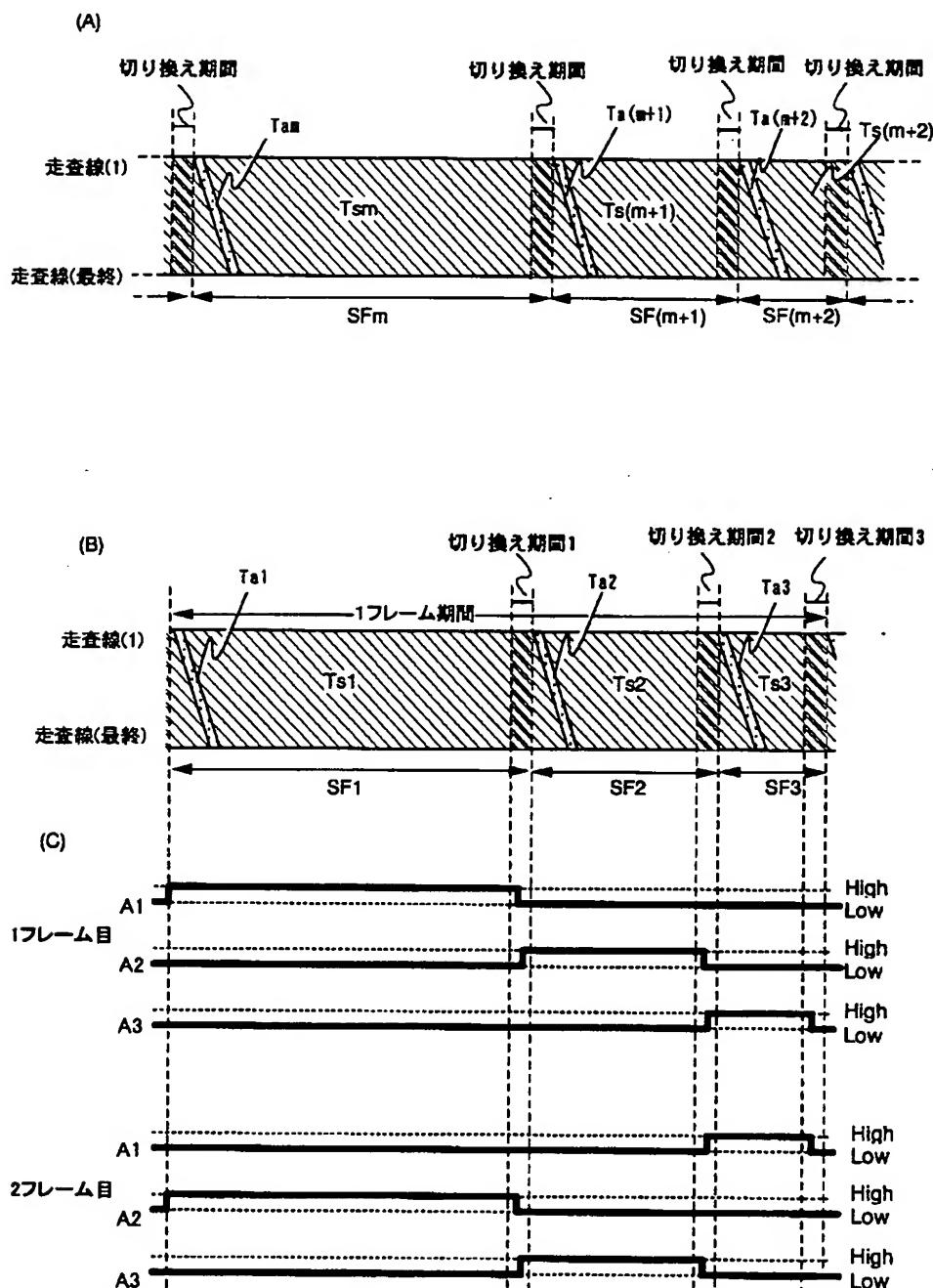
【図 8】



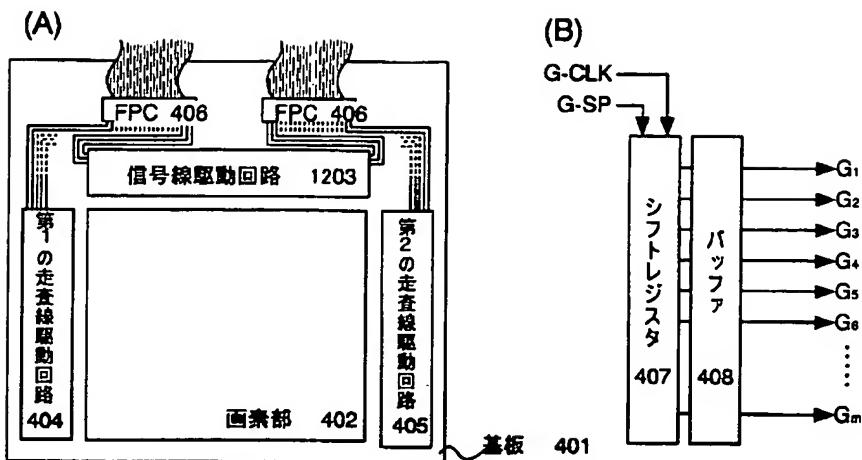
【図 10】



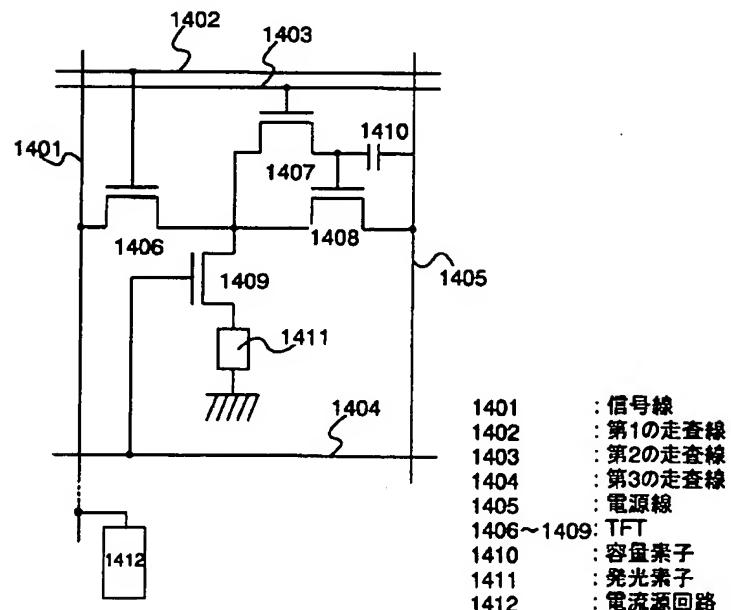
【図 11】



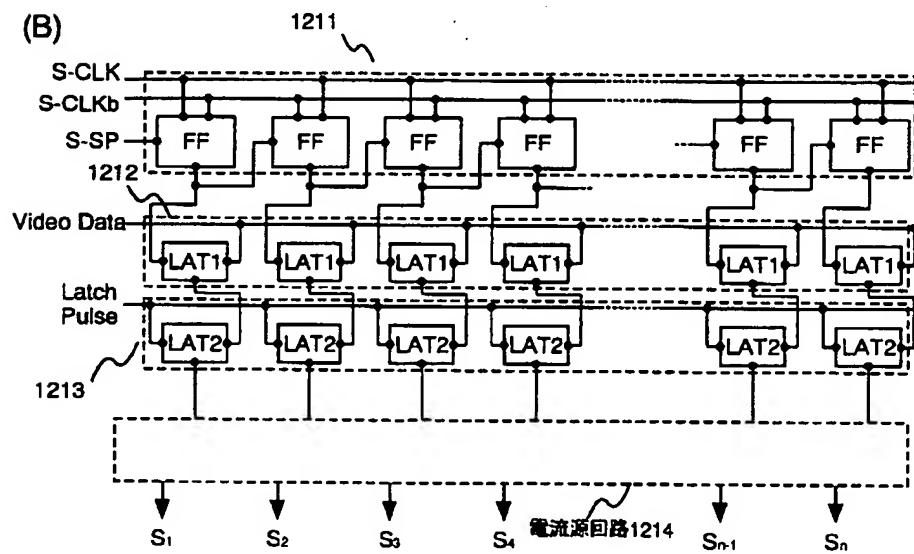
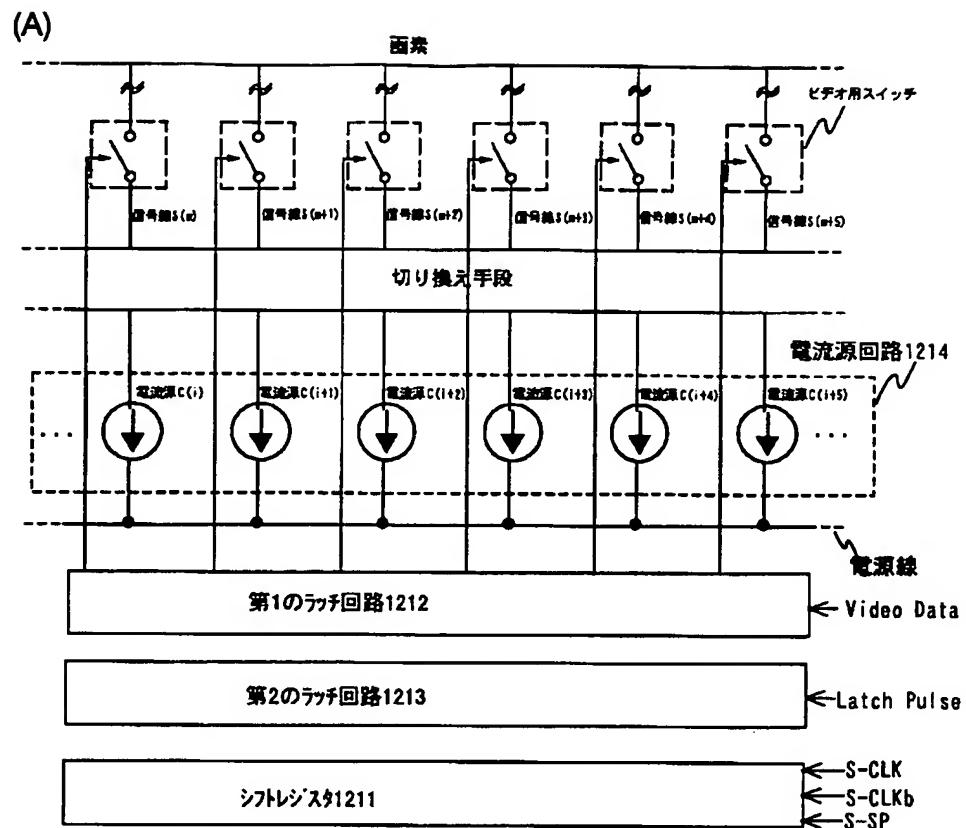
【图12】



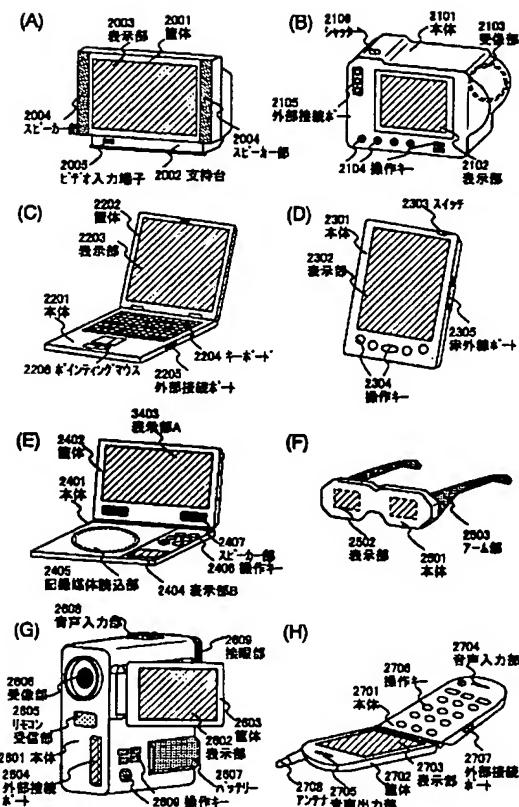
[図14]



【図 13】



【図15】



フロントページの続き

(51) Int.CI.¹ 識別記号
 G 0 9 G 3/30
 H 0 1 L 21/822
 27/04
 H 0 3 K 17/00
 H 0 4 N 5/66
 1 0 2
 // H 0 5 B 33/14

F I テ-マ-コ-ト (参考)
 G 0 9 G 3/30 J
 H 0 3 K 17/00 E
 H 0 4 N 5/66 1 0 2 B
 H 0 5 B 33/14 A
 H 0 1 L 27/04 M

F タ-ム (参考) 3K007 AB17 DB03 GA00
 5C058 AA08 BA02 BA06 BA33 BB25
 5C080 AA06 BB05 DD05 EE28 JJ02
 JJ03 JJ04 JJ06 KK02 KK07
 KK43 KK47
 5F038 DF07 EZ20
 5J055 AX12 AX44 AX48 BX06 BX09
 CX29 EY21 EZ03 EZ13 EZ31
 EZ33 GX01 GX02 GX04 GX09